



PATENT  
Docket No. 20063/OG03-019

IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE

Applicant: Jeong Ho Park

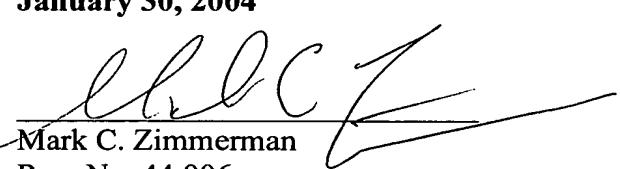
Serial No.: 10/758,346

Filed: January 15, 2004

For: "Capacitors of Semiconductor  
Devices and Methods of Fabricating  
the Same"

Group Art Unit: Unknown

Examiner: Not yet assigned

- ) I hereby certify that the documents referred to as enclosed herewith are
- ) being deposited with the United States Postal Service, first class postage prepaid, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450 on this date:
- ) **January 30, 2004**
- )
- )
- ) ✓   
Mark C. Zimmerman
- ) Reg. No. 44,006

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

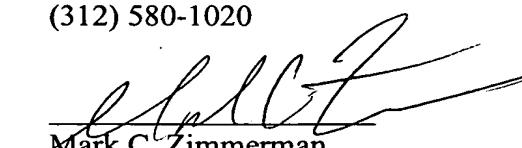
Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No. 10-2003-0056962 filed August 18, 2003, the priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.  
Suite 4220  
20 North Wacker Drive  
Chicago, Illinois 60606  
(312) 580-1020

By:

  
Mark C. Zimmerman  
Registration No.: 44,006

**January 30, 2004**



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

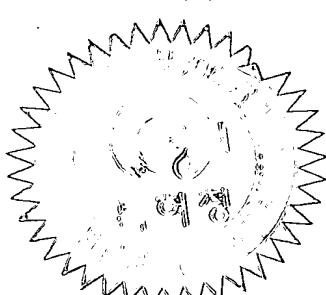
This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0056962  
Application Number

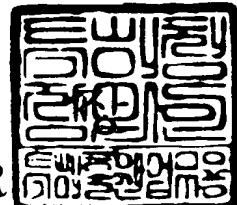
출원년월일 : 2003년 08월 18일  
Date of Application AUG 18, 2003

출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.

2004 년 01 월 08 일



특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.08.18		
【국제특허분류】	H01L		
【발명의 명칭】	반도체 소자의 캐패시터 및 그 제조 방법		
【발명의 영문명칭】	Semiconductor capacitor and manufacutring method therefor		
【출원인】			
【명칭】	동부전자 주식회사		
【출원인코드】	1-1998-106725-7		
【대리인】			
【성명】	서천석		
【대리인코드】	9-2002-000233-5		
【포괄위임등록번호】	2003-014348-4		
【발명자】			
【성명의 국문표기】	박정호		
【성명의 영문표기】	PARK, Jeong Ho		
【주민등록번호】	661007-1630211		
【우편번호】	467-902		
【주소】	경기도 이천시 장호원읍 노탑리 193-1 기산아파트 402호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 서천석 (인)		
【수수료】			
【기본출원료】	18	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	18	항	685,000 원
【합계】	714,000 원		

**【요약서】****【요약】**

본 발명은 반도체 소자의 캐패시터 및 그 제조 방법에 관한 것으로서, 특히, 반도체 기판 상에 종래의 ONO(Oxide - Nitride - Oxide, 이하 ONO) 박막 대신에 포밍 가스(Forming gas)를 이용하여 NON(Nitride - Oxide - Nitride; 이하 NON) 구조를 갖는 반도체 소자의 캐패시터 및 그 제조 방법에 관한 것이다.

본 발명의 반도체 소자의 캐패시터 및 그 제조 방법은 포밍 가스를 이용하여 소정의 소자가 형성된 기판을 질화하여 제1절연막을 형성하는 단계; 상기 제1절연막 상에 전이원소를 증착하고 재산화공정을 이용하여 제2절연막을 형성하는 단계; 포밍 가스를 이용하여 상기 제2절연막을 질화하여 제3절연막을 형성하는 단계; 및 상기 제3절연막 상부에 전도체를 형성하는 단계를 포함하여 이루어짐에 기술적 특징이 있다.

따라서, 본 발명의 반도체 소자의 캐패시터 및 그 제조 방법은 포밍 가스를 이용하여 저온에서 공정을 진행함으로써 도편트 프로파일(Dopant Profile)에 변화가 없는 안정적인 공정 진행이 가능하고, 다층의 스택형 유전체 구조를 이용함으로써 유전체 상부와 하부에서 유전체 내부로의 도편트 침투(Dopant Penetration)를 차단하고, 캐패시터의 누설 전류 특성을 개선함으로써 소자의 신뢰도 및 수율을 향상시키는 효과가 있다.

**【대표도】**

도 4

1020030056962

출력 일자: 2004/1/9

【색인어】

Dielectric, NON, Capacitor, 전이원소

**【명세서】****【발명의 명칭】**

반도체 소자의 캐패시터 및 그 제조 방법{Semiconductor capacitor and manufacutring method therefor}

**【도면의 간단한 설명】**

도 1 내지 도 5는 본 발명에 의한 캐패시터 제조 공정 단면도.

<도면의 주요부분에 대한 부호의 설명>

1 : 반도체 기판                    2 : 제1절연막

3 : 제2절연막                    4 : 제3절연막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 소자의 캐패시터 및 그 제조 방법에 관한 것으로, 보다 자세하게는 반도체기판 상에 종래의 ONO(Oxide - Nitride - Oxide, 이하 ONO) 박막 대신에 포밍 가스를 이용하여 NON(Nitride - Oxide - Nitride, 이하 NON) 구조를 갖는 캐패시터 및 그 제조 방법에 관한 것이다.

<6> 반도체 기억 소자들 중 DRAM(Dynamic Random Access Memory)의 집적도가 증가함에 따라 기억정보의 기본 단위인 1비트를 기억시키는 메모리 셀의 면적이 점차 작아지고 있다. 그런데 셀의 축소에 비례하여 캐패시터의 면적을 감소시킬 수는 없는 바, 이는 소프트 에러(Soft Error)를 방지하고 안정된 동작을 유지하기 위해서 단위 셀당 일정 이상의 충전용량이 필요하기 때문이다. 따라서 제한된 셀 면적 내에 메모리 캐패시터의 용량을 적정값 이상으로 유지시키기 위한 연구가 요구되고 있으며, 이는 대개 3가지 방법으로 나뉘어 진행되어 왔다. 즉, 유전체의 두께 감소, 캐패시터의 유효면적의 증가, 비유전율이 높은 재료의 사용 등이 고려되어 왔다.

<7> 이 중에서 세 번째의 경우에 대하여 구체적으로 살펴보면 다음과 같다. 종래 캐패시터에 이용되는 유전체막은  $\text{SiO}_2$ , 또는 유전률이  $\text{SiO}_2$ 의 거의 2배인  $\text{Si}_3\text{N}_4$ 를 사용한 NO(Nitride-Oxide, 이하 NO) 또는 ONO 박막이 주류였다. 하지만  $\text{SiO}_2$ , NO, ONO 박막 등은 물질 자체의 유전율이 작으므로 유전체 박막의 두께를 줄이거나 표면적을 넓힌다고 해도 높은 정전용량을 구현할 만한 여지가 없게 되어 새로운 물질을 도입할 수 밖에 없는 상황에 이르렀다. 결국 고집적 DRAM에서는 기존 유전체 박막을 대신할 물질로서  $(\text{Ba}, \text{Sr})\text{TiO}_3$ (이하, BST),  $(\text{Pb}, \text{Zr})\text{TiO}_3$ (이하, PZT),  $\text{Ta}_2\text{O}_5$  등의 유전체 박막을 도입하였다. 이 중  $\text{Ta}_2\text{O}_5$  유전체 박막은 실리콘 질화막과 비교하여 3배 이상의 유전율(약 20~25)을 가지며 BST나 PZT에 비해 에칭이 용이하다. 또한 CVD 법으로 증착할 경우 스텝 커버리지(step coverage)가 우수한 특징이 있다. 한편, 최근에는  $\text{Ta}_2\text{O}_5$ 의 불안정한 화학양론비를 개선하기 위하여 TaON의 개발이 이루어지고 있다.

<8> 상기와 같이 고유전율을 가지는  $\text{Ta}_2\text{O}_5$ 를 유전체막으로 사용하는 캐패시터에서는 전극물질의 선택이 강유전체의 특성에 크게 영향을 미친다. 즉,  $\text{Ta}_2\text{O}_5$ 를 이용하는 경우에는 기존의 NO

캐패시터와 달리 MIS(Metal-Insulator-Silicon, 이하 MIS) 구조에 바탕을 두고 있다. 여기서 M은 플레이트 노드로 사용되는 금속 전극을 나타내고, I는 절연체인 유전체를 나타내며, 그리고 S는 스토리지 노드로 사용되는 폴리실리콘을 나타낸다. Ta<sub>2</sub>O<sub>5</sub> 캐패시터의 상부전극인 플레이트 전극은 폴리실리콘/TiN이나 폴리실리콘/WN의 적층구조로 되어 있다. 하부전극인 스토리지 전극은 그 표면이 RTN(Rapid Thermal Nitration) 처리된 폴리실리콘을 사용한다.

- <9> 한국 공개 특허 제2001-0058485호는 플래시 메모리 소자에서 ONO 박막 대신 NON 박막을 증착하여 유전 상수가 큰 질화층을 두배로 더 사용함으로써, 게이트의 두께를 낮추는 기술이고, 미합중국 등록 특허 제6,569,731호는 실리콘 질화물을 증착하고, 재산화 공정으로 산화층을 성장시키고, N<sub>2</sub>O 가스를 이용하여 800 내지 1000°C의 온도에서 50 내지 90분 동안 반응시켜 질화층을 형성하여 NON층을 형성하는 기술이다.
- <10> 그러나, 상기와 같은 종래의 기술은 캐패시터의 유전체막을 단일막 혹은 다층막으로 제작함에 있어 고온공정을 이용함으로 인하여 하부 도편트 프로파일에 많은 영향을 주어 공정 안정도에 문제가 있을 뿐만 아니라 유전체막 공정 동안이나 후속 열처리 공정 동안에 유전체막 내부로의 도편트 침입으로 말미암아 소자의 신뢰도에 문제가 있으며 또한 게이트 궁핍율 감소(Gate Depletion Rate Reduction) 및 누설전류의 문제점이 있다.
- <11> 또한 본 발명은 제1절연막, 전이원소 산화막, 제3절연막, 전도체로 구성된 반도체 커패시터를 제공하는 데 그 목적이 있다.
- <12> 또한 본 발명은 전도체, 제1절연막, 전이원소 산화막, 제3절연막, 전도체로 구성된 반도체 커패시터를 제공하는 데 그 목적이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<13> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 포밍 가스를 이용하여 저온에서 유전체막을 형성함으로써 도편트 프로파일에 변화가 없는 안정적인 공정 진행이 가능하고, 다층의 스택형 유전체 구조를 이용함으로써 유전체 상부와 하부에서 유전체 내부로의 도편트 침투를 차단하고, 캐패시터의 누설 전류 특성을 개선함으로써 소자의 신뢰도 및 수율을 향상시키는 방법을 제공함에 본 발명의 목적이 있다.

**【발명의 구성 및 작용】**

<14> 본 발명의 상기 목적은 포밍 가스를 이용하여 소정의 소자가 형성된 기판을 질화하여 제1절연막을 형성하는 단계; 상기 제1절연막 상에 전이원소를 증착하고 재산화공정을 이용하여 제2절연막을 형성하는 단계; 포밍 가스를 이용하여 상기 제2절연막을 질화하여 제3절연막을 형성하는 단계; 및 상기 제3절연막 상부에 전도체를 형성하는 단계를 포함하여 이루어진 반도체 소자의 캐패시터 제조 방법에 의해 달성된다.

<15> 또한, 본 발명의 상기 목적은 포밍 가스를 이용하여 소정의 소자가 형성된 기판을 질화하여 제1절연막을 형성하는 단계; 상기 제1절연막 상에 제2절연막으로서 전이원소 산화물을 형성하는 단계; 상기 제2절연막을 포밍 가스를 이용하여 질화하여 제3절연막을 형성하는 단계; 및 상기 제3절연막 상부에 전도체를 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 캐패시터 제조 방법에 의해 달성된다.

<16> 또한, 본 발명의 상기 목적은 소정의 소자가 형성된 기판상에 형성된 제1절연막; 상기 제1절연막상에 형성된 제2절연막인 전이원소 산화막; 상기 전이원소 산화막상에 형성된 제3절

연막; 및 상기 제3절연막상에 형성된 전도체로 이루어진 것을 특징으로 하는 반도체 소자의 캐패시터에 의해 달성된다.

<17> 먼저, 포밍 가스를 이용하여 소정의 소자가 형성된 반도체 기판 상의 실리콘 질화물로 형성하여 제1절연막을 형성한다. 포밍 가스는 질소( $N_2$ ) 또는 질소를 포함하는 혼합 기체(예를 들면, 질소와 수소( $H_2$ )의 혼합기체)이다. 이 때 온도는 200 내지 450°C인, 로(Furnace)에서 저온 공정을 이용한다. 그리고 화학기상증착(Chemical Vapor Deposition) 또는 스퍼터링 방식(Sputtering Method)으로 유전 상수가 높고, 막질이 우수한 전이원소를 증착하고 재산화를 이용하여 제2절연막을 형성한다. 또한 상기 제2절연막은 전이원소 산화물을 화학기상증착법으로 직접 증착하여 형성할 수 있다. 상기 전이원소는 Ta, Al, Zr, V, Ti, Ni 또는 Hf이고, 상기 제2절연막의 두께는 5 내지 500Å으로 형성한다. 그리고 포밍 가스 어닐링(A annealing)을 위해 로를 이용하여 200 내지 450°C에서 질화물을 형성함으로써 제3절연막을 형성한다. 그리고 화학적기상증착법 혹은 물리기상증착법(Physical Vapor Deposition)을 이용하여 상기 제3절연막 상부에 전도체를 형성한다. 이 때 전도체는 Polysilicon, Si, Al, V, Ni, Cu, Co, W, Ta, Ti 또는 상기 원소들을 하나 이상 포함하는 합금으로 되어 있다.

<18> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

<19> 도 1 내지 도 5는 본 발명에 의한 캐패시터 제조의 공정 단면도이다.

<20> 먼저, 도 1에서 보는 바와 같이, 포밍 가스를 이용하여 소정의 소자가 형성된 반도체 기판(1) 상의 실리콘을 실리콘 질화물로 형성하여 제1절연막(2)을 형성한다. 이때 반도체 기판에는 아무런 소자가 형성되어 있지 않거나, MIM 커패시터를 위해 전도체가 미리 형성되어 있을

수도 있다. 포밍 가스는 질소 또는 질소를 포함하는 혼합 기체(예를 들면, 질소와 수소의 혼합 기체)를 사용하여 질화층인 제1절연막을 형성한다. 이 때 온도는 200 내지 450°C이고, 로에서 저온 공정을 이용한다.

<21> 다음, 도 2에서 보는 바와 같이, 스퍼터링 방식으로 유전 상수가 높고, 막질이 우수한 전이원소를 증착하고 재산화 공정을 이용하여 제2절연막(3)을 형성한다. 상기 전이원소는 Ta, Al, Zr, V, Ti, Ni 또는 Hf이고, 상기 제2절연막의 두께는 5 내지 500Å이고, 상기 재산화 공정은 700 내지 950°C의 온도에서 로 또는 챔버 장비에서 급속열처리법인 RTO(Rapid Thermal Oxidation, 이하 RTO) 방법에 의해 이루어진다. 또한 상기 제2절연막은 전이원소 산화물을 화학기상증착법으로 직접 증착하여 형성할 수 있다.

<22> 다음, 도 3에서 보는 바와 같이, 포밍 가스를 이용하여 로(Furnace)로 200 내지 450°C에서 질화물을 형성함으로써 제3절연막(4)을 형성한다.

<23> 이때 제3절연막은 화학기상증착법을 이용하여 Ta, Al, Zr, V, Ti, Ni 및 Hf 중 어느 하나의 산화물을 직접 증착하는 것으로 형성할 수도 있다.

<24> 다음, 도 4에서 보는 바와 같이, 화학적 증기 증착법 혹은 물리적 증기 증착법을 이용하여 상기 제3절연막 상부에 전도체(5)를 형성한다. 이 때 전도체는 Polysilicon, Si, Al, V, Ni, Cu, Co, W, Ta, Ti 또는 상기 원소들을 하나 이상 포함하는 합금으로 되어 있다.

<25> 이상과 같이 형성된 반도체 캐패시터는 제1절연막, 제2절연막인 전이원소 산화막, 제3절연막, 전도체로 구성되어 있다. 또한 도 5에서 보는 바와 같이, 상기 제1절연막 이전에 하부 전도체(6)를 먼저 형성하여 MIM 구조로 만들 수도 있다. 구체적으로는 상기 전이원소 산화막은

Ta, Al, Zr, V, Ti, Ni 및 Hf 중 어느 하나의 산화물로 되어 있고, 상기 제1절연막 및 제3절연막은 질화막으로 구성된다.

<26> 상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것임이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

#### 【발명의 효과】

<27> 따라서, 본 발명의 반도체 소자의 캐패시터 및 그 제조 방법은 포밍 가스를 이용하여 저온에서 공정을 진행함으로써 도편트 프로파일에 변화가 없는 안정적인 공정 진행이 가능하고, 다층의 스택형 유전체 구조를 이용함으로써 유전체 상부와 하부에서 유전체 내부로의 도편트 침투를 차단하고, 캐패시터의 누설 전류 특성을 개선함으로써 소자의 신뢰도 및 수율을 향상시키는 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 소자의 캐패시터 제조 방법에 있어서,

포밍 가스를 이용하여 소정의 소자가 형성된 기판을 질화하여 제1절연막을 형성하는 단계;

상기 제1절연막 상에 전이원소를 증착하고 재산화공정을 이용하여 제2절연막을 형성하는 단계;

포밍 가스를 이용하여 상기 제2절연막을 질화하여 제3절연막을 형성하는 단계; 및

상기 제3절연막 상부에 전도체를 형성하는 단계

를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 2】**

제 1항에 있어서,

상기 제1절연막 형성 이전 단계에 추가로 도전체를 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 3】**

제 1항에 있어서,

상기 포밍 가스는 질소 가스 또는 질소를 포함하는 혼합 기체임을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 【청구항 4】

제 1항에 있어서,

상기 제1절연막, 제2절연막 및 제3절연막 형성은 각각 또는 선택적으로 로(Furnace)공정을 이용함을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 【청구항 5】

제 4항에 있어서,

상기 로(furnace) 공정은 200 내지 450°C의 온도에서 진행하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 【청구항 6】

제 1항에 있어서,

상기 전이 원소는 Ta, Al, Zr, V, Ti, Ni 및 Hf 중 어느 하나를 사용함을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 【청구항 7】

제 1항에 있어서,

상기 전이 원소의 증착은 물리증착법 또는 화학기상증착법을 사용함을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 【청구항 8】

제 1항에 있어서,

상기 재산화 공정은 700 내지 950°C의 온도에서 급속열처리 방법에 의해 이루어짐을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 【청구항 9】

제 1항에 있어서,

상기 제2절연막은 5 내지 500Å의 두께임을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

#### 【청구항 10】

제 1항에 있어서,

상기 전도체는 Polysilicon, Si, Al, V, Ni, Cu, Co, W, Ta, Ti 및 상기 원소들을 하나 이상 포함하는 합금 중 어느 하나를 사용함을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 11】**

제 1항에 있어서,

상기 전도체는 물리증착법 또는 화학기상증착법을 사용함을 특징으로 하는 반도체 소자  
의 캐패시터 제조 방법.

**【청구항 12】**

반도체 소자의 캐패시터 제조 방법에 있어서,

포밍 가스를 이용하여 소정의 소자가 형성된 기판을 질화하여 제1절연막을 형성하는 단  
계;

상기 제1절연막 상에 제2절연막으로서 전이원소 산화물을 형성하는 단계;

상기 제2절연막을 포밍 가스를 이용하여 질화하여 제3절연막을 형성하는 단계; 및

상기 제3절연막 상부에 전도체를 형성하는 단계

를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 13】**

제12항에 있어서,

상기 제2절연막 형성은 화학기상증착법을 사용함을 특징으로 하는 반도체 소자의 캐패시  
터 제조 방법.

**【청구항 14】**

제12항에 있어서,

상기 제2절연막은 Ta, Al, Zr, V, Ti, Ni 및 Hf 중 어느 하나의 산화물인 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 15】**

소정의 소자가 형성된 기판상에 형성된 제1절연막;

상기 제1절연막상에 형성된 제2절연막인 전이원소 산화막;

상기 전이원소 산화막상에 형성된 제3절연막; 및

상기 제3절연막상에 형성된 전도체로 이루어진 것을 특징으로 하는 반도체 소자의 캐패시터.

**【청구항 16】**

제15항에 있어서,

제1절연막 이전에 추가로 전도체가 형성된 것을 특징으로 하는 반도체 소자의 캐패시터.

**【청구항 17】**

제15항에 있어서,

상기 전이원소 산화막은 Ta, Al, Zr, V, Ti, Ni 및 Hf 중 어느 하나의 산화물인 것을 특징으로 하는 반도체 소자의 캐패시터.

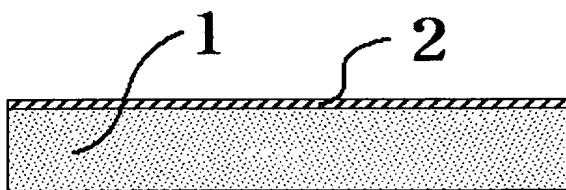
### 【청구항 18】

제15항에 있어서,

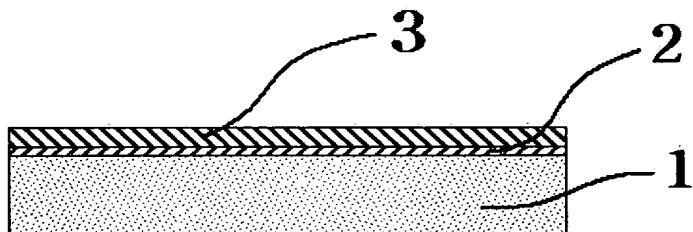
상기 제1절연막 및 제3절연막은 질화막인 것을 특징으로 하는 반도체 소자의 캐패시터.

## 【도면】

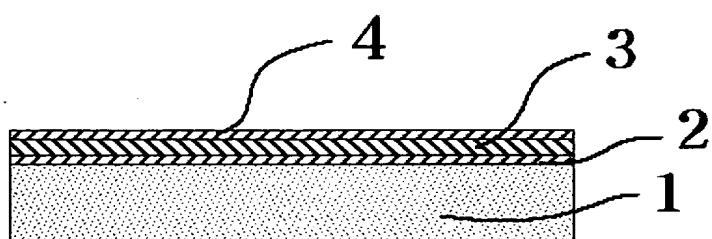
【도 1】



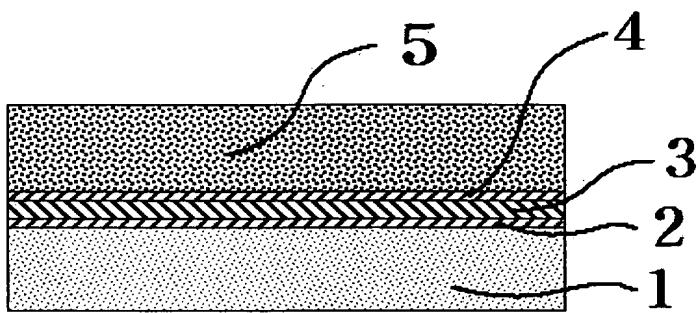
【도 2】



【도 3】



【도 4】



【도 5】

